

**ПРИВАТНЕ АКЦІОНЕРНЕ ТОВАРИСТВО «ВИШИЙ НАВЧАЛЬНИЙ ЗАКЛАД  
«МІЖРЕГІОНАЛЬНА АКАДЕМІЯ УПРАВЛІННЯ ПЕРСОНАЛОМ»**



**МАУП**

**МЕТОДИЧНІ РЕКОМЕНДАЦІЇ  
ЩОДО ЗАБЕЗПЕЧЕННЯ САМОСТІЙНОЇ РОБОТИ СТУДЕНТІВ  
з дисципліни  
«Архітектура комп'ютера»  
(для бакалаврів)**

Київ 2019

Підготовлено доцентом кафедри комп'ютерних інформаційних систем та технологій Д.М. Квашук

Затверджено на засіданні кафедри комп'ютерних інформаційних систем та технологій (Протокол № 7 від 16 січня 2019 р.)

Схвалено Вченою радою Міжрегіональної Академії управління персоналом

**Квашук Д.М.** Методичні рекомендації щодо забезпечення самостійної роботи студентів з дисципліни “Архітектура комп'ютера” (для освітньо-кваліфікаційного рівня «бакалавр»). — К.: МАУП, 2019— 34 с.

Методичні рекомендації містять пояснювальну записку, тематичний план, зміст дисципліни, теми лабораторних робіт, тематику контрольних робіт, вказівки до виконання контрольних робіт, питання для самоконтролю, список літератури.

© Міжрегіональна Академія управління персоналом (МАУП), 2019

## Зміст

|   |    |
|---|----|
| Вступ.....  | 4  |
| 1. Базові елементи транзисторної логіки).....   | 4  |
| 1.1. Цифрові інтегральні мікросхеми (ЦІМ).....  | 4  |
| 1.2. Логічні операції.....  | 5  |
| 1.2.1. Логічні функції і логічні елементи І, АБО, НЕ.....                             | 6  |
| 1.2.2. Базисні логічні операції Пірса і Шеффера та логічні елементи АБО-НЕ, І-НЕ..... | 8  |
| 1.2.3. Елементи РІВНОЗНАЧНІСТЬ та СУМАТОР ПО МОДУЛЮ 2.....                            | 13 |
| 1.3 Елементна база цифрових пристроїв.....  | 18 |
| 1.3.1. Логічні рівні ТТЛ-мікросхем.....   | 18 |
| 1.3.2. Перші логічні елементи ТТЛ.....  | 20 |
| 2. ТРИГЕРИ.....   | 24 |
| 2.1 D-тригер.....   | 26 |
| 2.3 Т-тригер.....   | 26 |
| 2.4 Універсальний JK-тригер.....  | 27 |
| 3. Регістри.....  | 28 |
| 3.1.Паралельні регістри.....  | 29 |
| 3.2.Регістри що здвигаються.....  | 31 |
| 3.3. універсальні регістри.....   | 32 |
| 3.4. Лічильники.....  | 33 |
| Список використаних джерел.....   | 34 |

## **ВСТУП**

Основу цифрової техніки складають логічні елементи. До них відносяться елементи, в яких існує певний логічний зв'язок між вхідними і вихідними сигналами, які беруть значення логічних нулів або одиниць. Зв'язок між сигналами визначається логічною функцією. Для її опису використовується математична логіка.

Для простоти аналізу логічних елементів і для з'ясування їх функціональних можливостей служать таблиці станів вхідних і вихідних величин - сигналів. За цих таблиць можна побудувати тимчасові е-діаграми роботи логічні елементи.

Всього логічних елементів, що застосовуються в даний час в цифровій техніці, близько тридцяти, включаючи і різні типи тригерів. Спочатку розглянуто найбільш поширені з них: І, АБО, НЕ, І-НЕ, АБО-НЕ, 2І-АБО-НЕ, рівнозначність, суматор по модулю 2, RS-, D-, Т-, JK-тригери. Вивчення логічних елементів і тригерів розпочато з аналізу принципів дії електричних схем, що виконують логічні функції. Далі з розглядаються складніші функціональні елементи, такі як рівнозначність, суматори за модулем 2, тригери. Все ці цифрові логічні елементи широко використовуються в автоматичній, зв'язку, робототехніці. На їх основі побудовані сучасні мікропроцесорні пристрої, які можна самостійно програмувати для виконання функцій управління побутовими приладами в «розумних» будинках, в технологічних процесах в роботизованих конвеєрних лініях, тощо.

## **1. БАЗОВІ ЕЛЕМЕНТИ ТРАНЗИСТОРНОЇ ЛОГІКИ**

### **1.1. Цифрові інтегральні мікросхеми (ЦІМ)**

Будь-який електронний пристрій, незалежно від призначення і ступеня складності, складається з активних (транзистори, інтегральні мікросхеми) і пасивних (резистори, конденсатори, котушки індуктивності) компонентів.

Інтегральна мікросхема (ЦІМ) являє собою виріб з активних і пасивних елементів і з'єднувальних провідників, виконане в обсязі і на поверхні напівпровідникового кристалу таким чином, що створюється певна електронна схема. Кристал поміщений в корпус для захисту від зовнішніх впливів (механічних,

кліматичних та ін.). Характерна особливість ЦІМ - велика щільність упаковки елементів. Найбільше поширення мають такі види мікросхем:

- мікросхеми транзисторної логіки на біполярних транзисторах;
- мікросхеми емітерно-зв'язаної логіки на біполярних транзисторах;
- мікросхеми на польових транзисторах структури метал-оксид-напівпровідник (їх також називають метал-діелектрик-напівпровідник);
- мікросхеми із симетричною структурою на польових транзисторах р- і n-типу.

У пристроях, що збираються з окремих елементів, основним активним компонентом є транзистори, число яких визначає ступінь складності схеми. У пристроях на ЦІМ основними елементами також є транзистори, виконані за допомогою нанотехнологій.

Логічний елемент (ЛЕ) являє собою електронний пристрій, на входах і виходах якого сигнал може мати тільки один з двох дискретних рівнів напруги - низький і високий. Ці рівні зазвичай називають логічним нулем і логічною одиницею.

## **1.2. Логічні операції**

В основі алгебри логіки і схем цифрової техніки лежать три основні елементарні операції: І - логічне множення, або кон'юнкція, АБО - логічне додавання, або диз'юнкція та НЕ - логічне заперечення, або інверсія.

Ці три функції спільно дозволяють здійснити будь-яку, як завгодно складну логічну операцію. Цю властивість називають функціональною повнотою, а всі три логічних операції І, АБО, НЕ разом називають базисними операціями (функціями) або коротко базисом. Базисними операціями є також логічні функції Пірса і Шеффера, на основі яких будуються логічні елементи І-НЕ, АБО-НЕ.

### **1.2.1. Логічні функції і логічні елементи І, АБО, НЕ**

Логічні змінні та логічні функції можуть приймати всього два значення - істина і не істина. У цифровій техніці цим станам приписують 1 і 0. Одиниця еквівалентна істині, а нуль еквівалентний помилковому значенню логічних змінних і їх функцій, що в електроніці природно відобразити високим і низьким рівнями напруги відповідно.

Логічна функція НЕ (інверсія) виконує операцію логічного заперечення над значенням логічної змінної. Якщо значення змінної помилково (еквівалентно нулю), то значенням функції буде істина (еквівалентно одиниці) і, навпаки, якщо значення логічної змінної нуль, то значенням логічної функції НЕ буде одиниця.

Логічна формула інверсії має вигляд:

$$Y = \bar{X}, (1)$$

Тут риска над логічною змінною означає операцію інверсії логічної змінної.

Логічний елемент НЕ, який здійснює цю функцію в цифровій техніці за допомогою електронної схеми, називається інвертором. Він є найпростішим елементом з одним входом і одним виходом.

Елемент НЕ змінює значення напруги вхідного логічного сигналу так, що на виході елемента з'являється напруга з логічно протилежним значенням, інвертує логічне значення вхідної змінної. Його умовне графічне позначення і таблиця істинності логічної функції НЕ і інвертора представлені на рис. 1.



Рис. 1. Умовне позначення і таблиця істинності логічного елемента НЕ

Так як вхід у цього логічного елемента тільки один, то його таблиця істинності полягає тільки з двох рядків.

Логічна функція І (кон'юнкція) виконує операцію логічного множення змінних  $X_1, X_2, X_3, \dots, X_n$ . Значення цієї функції еквівалентно одиниці тоді і тільки тоді, коли всі логічні змінні еквівалентні одиниці. Значення функції І дорівнює нулю, якщо хоча б одна з логічних змінних дорівнює нулю.

Логічна формула кон'юнкції для двох логічних змінних має вигляд:

$$Y = X_1 \cdot X_2, \quad (2)$$

Логічний елемент І (кон'юнктор), електрично виконує операцію логічного множення, іноді називають схемою збігу. Напруга, відповідає логічній одиниці, з'являється на його виході тільки при збігу значень напруг, відповідних одиниці всіх вхідних логічних змінних. Його умовне графічне позначення і таблиця істинності логічної функції І для двох змінних представлена на рис. 2.

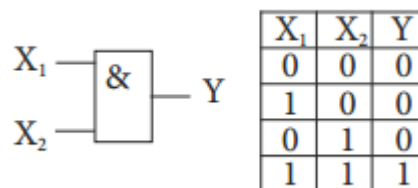


Рис. 2. Графічне позначення і таблиця істинності двовхідного елемента І

З таблиці істинності випливає, що на виході елемента І буде напруга високого рівня (логічна одиниця) тільки в одному випадку - коли на обох входах буде напруга високого рівня.

Логічна функція АБО (диз'юнкція) виконує операцію логічного додавання змінних  $X_1, X_2, X_3, \dots, X_n$ . Значення цієї функції еквівалентно нулю тоді і тільки тоді, коли всі логічні змінні еквівалентні нулю. Значення функції АБО дорівнює одиниці якщо хоча б одна з логічних змінних дорівнює одиниці. Логічна формула диз'юнкції для двох логічних змінних має вигляд:

$$Y = X_1 + X_2, \quad (3)$$

Умовне графічне зображення двовхідного логічного елемента АБО (діз'юнктора), що виконує операцію логічного складання двох змінних, і таблиця істинності операції АБО показані на рис. 3.

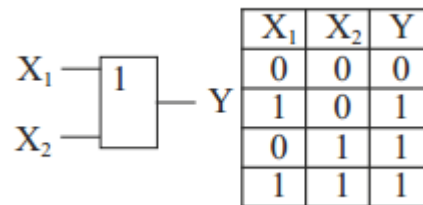


Рис. 3. Графічне позначення та таблиця істинності двовхідного елемента АБО

По таблиці істинності можна зробити висновок, що на виході елемента АБО буде напруга високого рівня (логічна одиниця), якщо або на одному, або відразу на всіх входах буде напруга високого рівня.

### 1.2.2. Базисні логічні операції Пірса і Шеффера та логічні елементи АБО-НЕ, І-НЕ

Складні логічні операції, здійснювані мікросхемами цифрової техніки, будуються зазвичай на основі функціональних базисів, що містять одну операцію. Такими є операції Пірса (стрілка Пірса) і Шеффера (штрих Шеффера).

Операція Пірса послідовно виконує спочатку функцію логічного додавання будь-якого числа логічних змінних, а потім інверсію (логічне заперечення) результату складання. Тому цю функцію називають АБО-НЕ. Логічна формула операції Пірса для двох змінних має вигляд:

$$Y = \overline{X_1} + \overline{X_2} \quad (4)$$

Логічний елемент, який реалізує цю операцію, може бути побудований з базисних елементів АБО і НЕ за схемою (див. рис. 4).

Елемент АБО-НЕ (рис. 4) здійснює роз'єднання двох цифрових сигналів з інверсією результуючого сигналу.



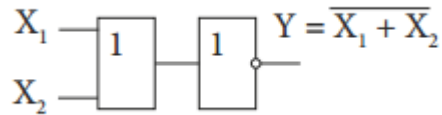


Рис. 4. Елемент АБО-НЕ на два входи, побудований в трьохелементному базисі І, АБО, НЕ

Умовне графічне зображення і таблиця істинності двовхідного елемента АБО-НЕ представлені на рис. 5.

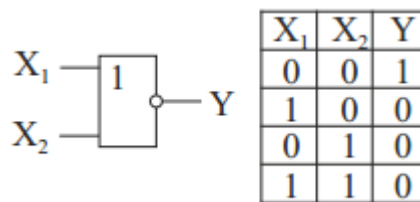


Рис. 5. Графічне позначення і таблиця істинності елемента АБО-НЕ

Можна довести базисність (функціональну повноту) елемента АБО-НЕ. Логічні функції І, АБО, НЕ мають функціональної повнотою в тому сенсі, що з них можна побудувати як завгодно складну логічну функцію. Тому якщо ми покажемо, що тільки з елементів АБО-НЕ можна побудувати систему базових логічних функцій І, АБО, НЕ, то тим самим доведемо, що елемент АБО-НЕ відрізняється функціональною повнотою. Виконаємо це за допомогою таблиць істинності елементів І, АБО, НЕ, співвідношень алгебри логіки (див. Додаток. 2) і умовних графічних зображень.

Елемент НЕ може бути отриманий з АБО-НЕ простим з'єднанням входів, як показано на рис. 6.

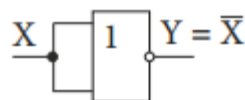


Рис. 6. Отримання інвертора з елемента АБО-НЕ

При такому з'єднанні таблиця істинності елемента АБО-НЕ буде еквівалентна таблиці істинності інвертора (рис. 1 і 5). Тоді для отримання функції елемента АБО досить до виходу елемента АБО-НЕ приєднати отриманий інвертор, що зніме інверсію цього елемента, і в підсумку вийде елемент АБО (рис. 7). На схемі рис. 7 показані результати виконання операції на виході кожного елемента АБО-НЕ.

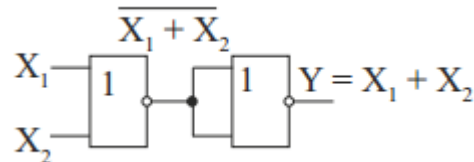


Рис. 7 Схема елемента АБО, побудованого з елементів АБО-НЕ

Для отримання з елемента АБО-НЕ логічного елемента І необхідно скористатися теоремою де Моргана (див. Додаток. 2), згідно з якою:

$$X_1 \cdot X_2 = \overline{\overline{X_1 + X_2}} \quad (5)$$

З цієї формули випливає, що якщо вхідні змінні  $X_1$  і  $X_2$  попередньо подати на отримані раніше інвертори з АБО-НЕ, а потім на сам елемент АБО-НЕ, то на виході такої схеми буде реалізована шукана функція елемента І (рис. 8).

Підписи результату операції на виході кожного елемента

АБО-НЕ на схемі рис. 8 показують, що відповідно до формули (5) результатом всіх операцій на виході схеми реалізується функція логічного множення вхідних змінних. Цей результат підтверджується шляхом безпосередньої підстановки всіх можливих пар логічних значень вхідних змінних  $X_1, X_2$ .

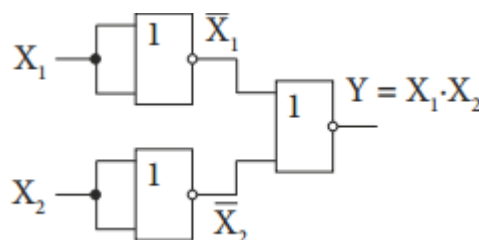


Рис. 8. Елемент І з елементів АБО-НЕ

Таким чином, базисність елемента АБО-НЕ і функціональна повнота операції Пірса можна вважати доведеною.

Операція Шеффера послідовно виконує спочатку функцію логічного множення змінних, а потім інверсію (логічне заперечення) результату множення для будь-якого числа логічних змінних. Тому цю функцію називають І-НЕ. Логічна формула операції Шеффера для двох змінних має вигляд;

$$Y = \overline{X_1 \cdot X_2}. \quad (6)$$

Логічна функція, що реалізує цю операцію, може бути, в принципі, отримана послідовним виконанням функцій І та НЕ з базису І, АБО, НЕ за схемою (рис. 9).

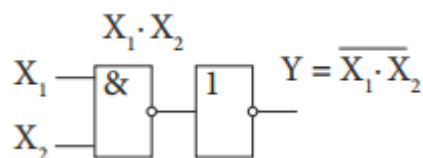


Рис. 9 Елемент І-НЕ на два входи, побудований з елементів базису І, АБО, НЕ

Елемент І-НЕ (див. Рис. 9) виробляє логічне множення двох цифрових сигналів з інверсією результату. Умовне графічне зображення і таблиця істинності двухвходового елемента АБО-НЕ представлені на рис. 10.

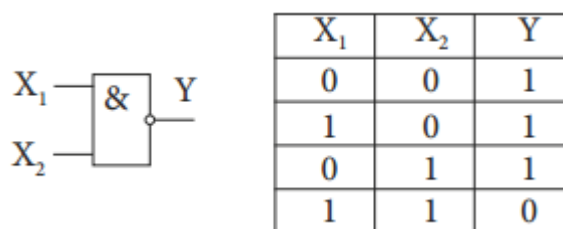


Рис. 10. Графічне позначення і таблиця істинності елемента І-НЕ

За методикою, використаної раніше для доказу функціональної повноти елемента АБО-НЕ, доведемо базисність елемента І-НЕ. Аналогічно до попереднього, отримуємо інвертор з'єднанням входів елемента І-НЕ (рис. 11).

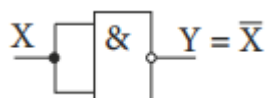


Рис. 11. Отримання інвертора з елемента І-НЕ

Використовуючи отриманий інвертор, підключаємо його на вихід елемента І-НЕ для отримання елемента з функцією І (рис. 12).

Далі, використовуючи теорему де Моргана для логічного додавання (див. Додаток. 2)

$$\overline{X_1 + X_2} = \overline{\overline{X_1} \cdot \overline{X_2}}, \quad (7)$$

отримуємо прямо по формулі логічну схему для елемента АБО, що складається тільки з одних елементів І-НЕ (рис. 13).

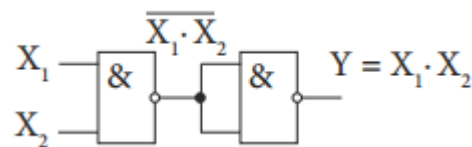


Рис. 12. Схема елемента І, побудована з елементів І-НЕ

При підстановці всіх можливих комбінацій вхідних логічних змінних  $X_1, X_2$  на виході логічної схеми на рис. 13 виходять значення функції, відповідні таблиці істинності логічного елемента АБО. Таким чином, з елемента І-НЕ ми побудували елементи НЕ, І, АБО. Цим доведена функціональна повнота функції І-НЕ.

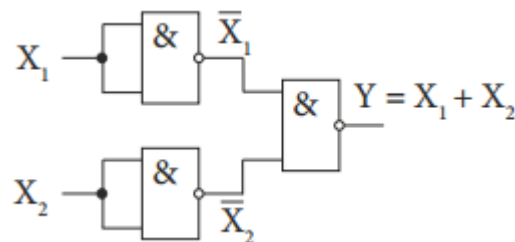


Рис. 13. Елемент АБО з елементів І-НЕ

### 1.2.3. Елементи РІВНОЗНАЧНІСТЬ та СУМАТОР ПО МОДУЛЮ 2

Рівнозначність, або еквівалентність - рівність логічних значень двох змінних. Існує логічна функція РІВНОЗНАЧНІСТЬ (ЕКВІВАЛЕНТНІСТЬ), яка за допомогою певної комбінації базисних логічних операцій встановлює факт рівнозначності.

Логічна формула функції ЕКВІВАЛЕНТНІСТЬ для двох змінних має такий вигляд:

$$Y_{\text{равн}} = X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2}. \quad (8)$$

Логічний елемент РІВНОЗНАЧНІСТЬ, який реалізує цю функцію за допомогою базисних операцій І, АБО, НЕ, може бути побудований за наступною логічною схемою (див. рис. 14).

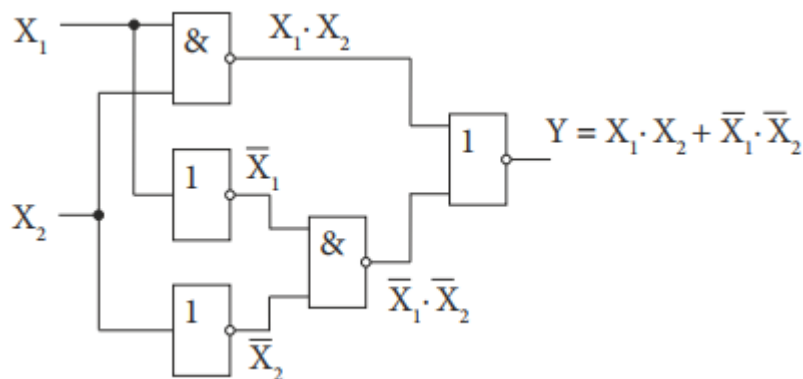


Рис. 14. Схема елемента рівнозначні в базисі І, АБО, НЕ

На виході кожного логічного елемента на схемі рис. 14 поетапно показані результати послідовного виконання операцій відповідно до їх функціями, що в результаті створює формулу (8) функції рівнозначні (ЕКВІВАЛЕНТНІСТЬ).

Умовне графічне позначення логічного елемента РІВНОЗНАЧНІСТЬ на два входи і таблиця істинності функції РІВНОЗНАЧНІСТЬ представлені на рис. 15.

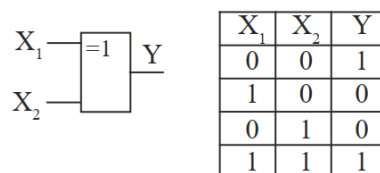


Рис. 15. Графічне позначення і таблиця істинності елемента РІВНОЗНАЧНІСТЬ

Для отримання схеми елемента рівнозначні в базисі АБО-НЕ необхідно за допомогою закону подвійного заперечення і теорем алгебри логіки (див. Додаток. 2) перетворити вираз (8) функції РІВНОЗНАЧНІСТЬ таким чином, щоб вона містила тільки операції диз'юнкції і інверсії. Згідно із законом подвійного заперечення.

$$Y_{\text{равн}} = X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2} = \overline{\overline{X_1} \cdot \overline{X_2}} + \overline{\overline{X_1} \cdot \overline{X_2}}. \quad (9)$$

Застосовуючи теорему де Моргана (закон подвійності) до нижніх інверсія над логічними творами  $X_1 \cdot X_2$  і  $\overline{X_1 \cdot X_2}$  у формулі (9), отримаємо:

$$Y_{\text{равн}} = \overline{\overline{X_1 + X_2} + \overline{X_1 + X_2}} \quad (10)$$

Тепер безпосередньо за отриманою формулою (10) можна побудувати схему елемента рівнозначні тільки з елементів АБО-НЕ (рис. 16). При цьому зайву інверсію на виході знімаємо інвертором (останній елемент АБО-НЕ):

Аналогічно попереднім перетворенням функції рівнозначні можна за допомогою закону подвійного заперечення:

$$Y_{\text{равн}} = X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2} = \overline{\overline{X_1 \cdot X_2 + \overline{X_1} \cdot \overline{X_2}}} \quad (11)$$

Застосовуючи теорему де Моргана до нижньої інверсії над операцією логічного додавання, отримаємо логічну функцію РІВНОЗНАЧНІСТЬ в базисі І-НЕ:

$$Y_{\text{равн}} = \overline{\overline{X_1 \cdot X_2} \cdot \overline{\overline{X_1 \cdot X_2}}} \quad (12)$$

Тепер безпосередньо за отриманою формулою (12) побудуємо схему елемента рівнозначні тільки з базисних елементів АБО-НЕ (див. Рис. 17).

У цифровій техніці знаходить широке застосування логічна функція нерівнозначних, яка за допомогою певної комбінації базисних логічних операцій встановлює факт нерівності логічних значень змінних.

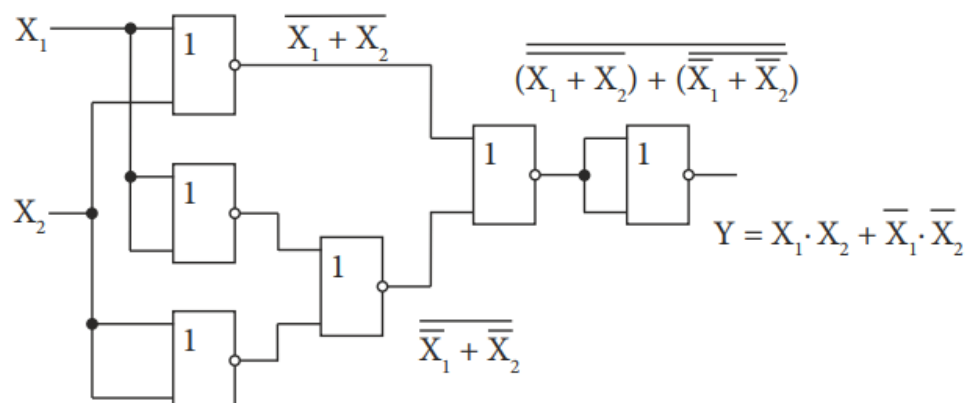


Рис. 16 Елемент РІВНОЗНАЧНІСТЬ в базисі АБО-НЕ

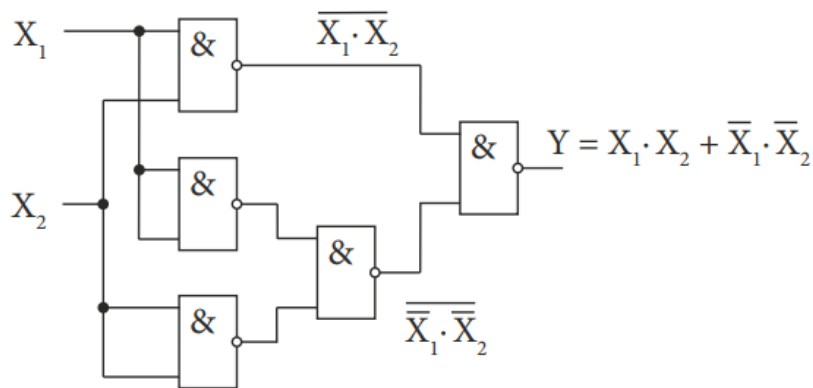


Рис. 17. Елемент рівнозначно в базисі І-НЕ

Як буде показано далі, ця функція може називатися ВИКЛЮЧАЮЧЕ АБО, а також операцією ПІДСУМОВУВАННЯ ПО МОДУЛЮ 2. Логічна формула функції нерівнозначні для двох змінних має такий вигляд:

$$Y_{\text{неравн}} = \overline{X_1} \cdot X_2 + X_1 \cdot \overline{X_2}. \quad (13)$$

За допомогою законів алгебри логіки (див. Додаток. 2) легко показати, що функція нерівнозначних є інверсією функції РІВНОЗНАЧНІСТЬ і навпаки, т. ч. ці функції логічно взаємно заперечують одна одну:

$$Y_{\text{равн}} = \overline{Y_{\text{неравн}}}. \quad (14)$$

Одне з декількох умовних графічних позначень двухвходового логічного елемента, що виконує операції функції (13), а таблиця її істинності представлена на рис. 18.

Таке умовне графічне позначення відображає властивість елемента **НЕРІВНОЗНАЧНІСТЬ** як заперечення елемента **РІВНОЗНАЧНІСТЬ**.

З таблиці істинності видно, чому цей елемент називають також суматори за модулем 2. Дійсно, таблиця показує складання однорозрядних двійкових чисел з перенесенням одиниці в старший розряд при складанні двох одиниць в останньому рядку таблиці.

Необхідно також відзначити, що таблиця істинності елемента **НЕРІВНОЗНАЧНІСТЬ** відрізняється від відповідної таблиці елемента **АБО** нульовим значенням функції в останньому рядку.

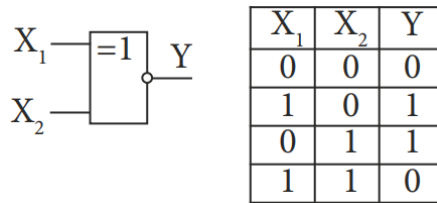


Рис. 18. Умовне графічне позначення логічного елемента і таблиця істинності функції НЕРІВНОЗНАЧНІСТЬ для двох логічних змінних

Тому елемент НЕРІВНОЗНАЧНІСТЬ називають також елементом ВИКЛЮЧАЮЧОГО АБО.

Логічну формулу цього елемента часто скорочено записують у вигляді

$$Y \text{ НЕРІВНОЗНАЧНІСТЬ} = X_1 * X_2. \quad (15)$$

Аналізуючи формулу двухвходового логічного елемента НЕРІВНОЗНАЧНІСТЬ, можна зробити висновок, що в ньому використовується складна функція, яка містить два логічних множення і логічне складання результатів множення двох логічних змінних.

Формула цієї логічної функції показує, яким чином потрібно з'єднати елементи базису І, АБО, НЕ (див. Рис. 20), щоб побудувати логічну схему елемента НЕРІВНОЗНАЧНІСТЬ (СУМАТОР ЗА МОДУЛЕМ 2, ВИКЛЮЧАЮЧЕ АБО).

Для того щоб побудувати логічну схему елемента ВИКЛЮЧАЮЧЕ АБО в базисі елемента АБО-НЕ, необхідно за допомогою алгебри логіки перетворити формулу (13) цього елемента так, щоб вона не містила операцій логічного множення. З цією метою, як вже було показано раніше, двічі інвертуєм окремо операції логічного множення. Застосовуючи теорему де Моргана до нижніх інверсія логічних добутоків,

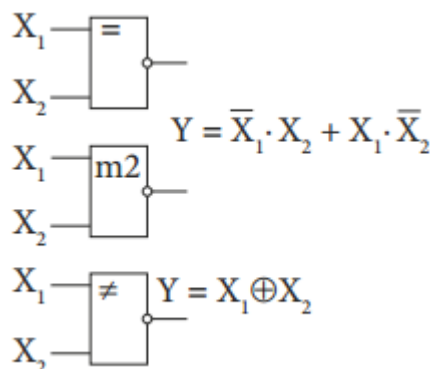


Рис. 19. Різні умовні графічні позначення елемента НЕРІВНОЗНАЧНІСТЬ,



або СУМАТОР ЗА МОДУЛЕМ 2

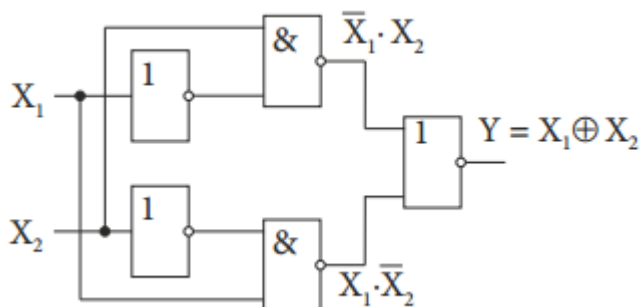


Рис. 20. НЕРІВНОЗНАЧНІСТЬ  
в базисі І, АБО, НЕ

отримаємо замість них логічні суми інвертованих змінних. Тепер формула елемента ВИКЛЮЧАЮЧЕ АБО містить тільки логічні операції, здійснювані в базисі АБО-НЕ:

$$Y_{\text{неравн}} = \overline{\overline{X_1 + X_2}} + \overline{\overline{X_1 + X_2}}. \quad (16)$$

Використовуючи отриману формулу, безпосередньо по ній задаєм логічну схему елемента НЕРІВНОЗНАЧНІСТЬ в базисі АБО-НЕ (рис. 21).

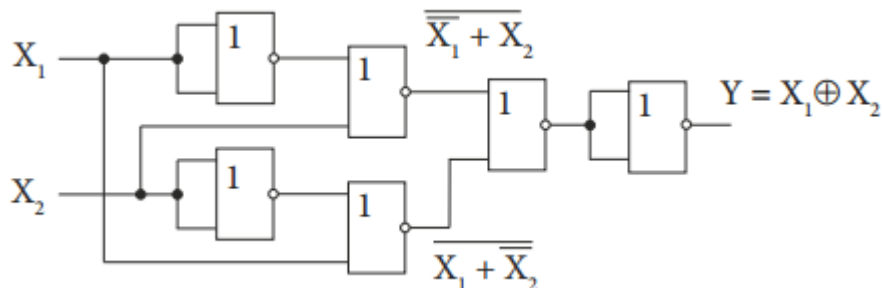


Рис. 21. Елемент нерівнозначних в базисі АБО-НЕ

Для того щоб побудувати логічну схему елемента ВИКЛЮЧАЄ АБО в базисі елемента І-НЕ, необхідно за допомогою алгебри логіки перетворити формулу (13) елемента НЕРІВНОЗНАЧНІСТЬ так, щоб вона не містила операцій логічного складання. З цією метою двічі інвертуємо всю формулу (13). Застосовуючи теорему де Моргана до нижньої інверсії логічного додавання, отримаємо замість нього логічне виведення інвертованих логічних добутків і запишемо логічну формулу елемента ВИКЛЮЧАЮЧЕ АБО в базисі І-НЕ

$$Y_{\text{неравн}} = \overline{\overline{X_1 \cdot X_2 \cdot X_1 \cdot X_2}} \quad (17)$$

Зараз безпосередньо за формулою створюємо схему логічного елемента СУМАТОР ЗА МОДУЛЕМ 2 з елементів І-НЕ (рис. 22). У тексті та в рисунках підписах ми навмисно використовували різні назви цього широко поширеного логічного елемента, щоб читач твердо засвоїв, що це різні

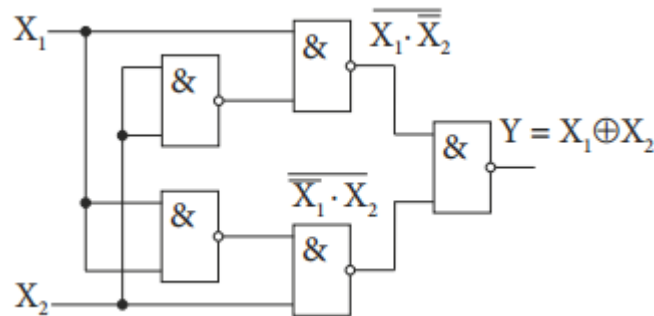


Рис. 22. Елемент НЕРІВНОЗНАЧНІСТЬ в базисі АБО-НЕ

### 1.3 Елементна база цифрових пристроїв

#### 1.3.1. Логічні рівні ТТЛ-мікросхем

##### ТТЛ – Транзисторно-транзисторна логіка

В даний час застосовуються два види ТТЛ-мікросхем - з напругою живлення 3 В і 5 В, але, незалежно від цього, логічному нулю відповідає низький рівень напруги близько нуля, а логічній одиниці - високий рівень, близький до напруги живлення. Тому додаткового узгодження між цими ТТЛ-мікросхемами звичайно не потрібно. Логічні рівні напруг на вході і виході цифрової мікросхеми повинні знаходитися в певних межах. Межі рівнів логічного нуля і одиниці для ТТЛ-мікросхем наведені на рис. 23.

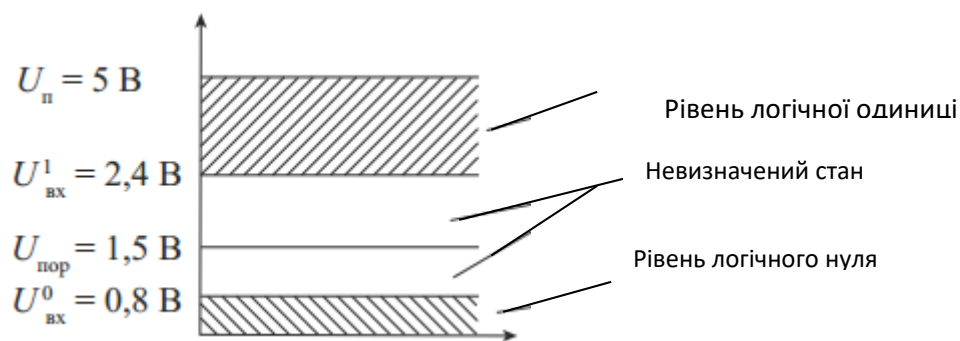


Рис. 23. Рівні логічних сигналів на входах цифрових ТТЛ - мікросхем

Реалізація логічних функцій здійснюється за допомогою певних електронних процесів в транзисторних мікро- схемах, керованих сигналами - електричними імпульсами низ- кого і високого рівнів напруги. Вихідний сигнал логічних елементів пов'язаний з вхідними сигналами певної логічної операцією. Наприклад, операція логічного заперечення (інверсія) може бути реалізована за допомогою простого транзисторного ус- літеля, що працює в імпульсному режимі. На рис. 24, б представ лено умовне графічне зображення пристрою, що реалізує функцію логічного заперечення (інверсії), а на рис. 24, а - електро-тричних схема інвертора (елемента НЕ).

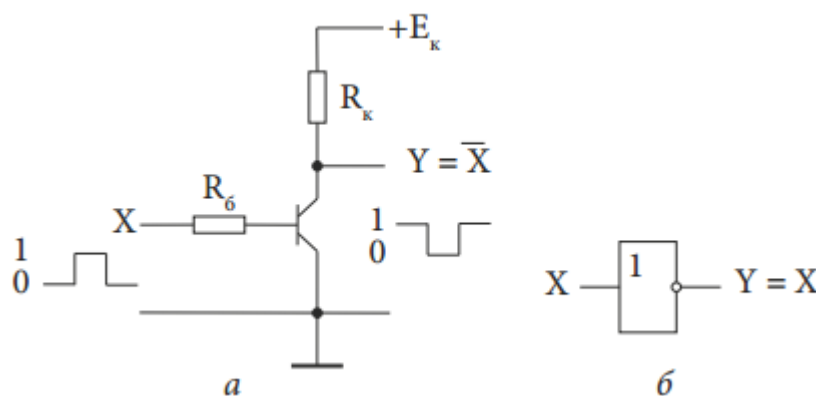


Рис. 24. Транзисторний підсилювач з загальним емітером якості інвертора:

а - електрична схема;

б - умовне графічне позначення інвертора

Розглянемо принцип дії такого варіанту схемного рішення елемента НЕ. При подачі на вхід підсилювача напруги високого рівня (рівень логічної одиниці) великий базовий струм (резистор  $R_6$  обмежує струм переходу база - емітер до максимуму) викличе максимальний струм колектора транзистора. Величина струму визначається, згідно із законом Кирхгофа, величиною напруги живлення  $E_k$ , опором резистора  $R_k$  і опором між колектором і емітером відкритого транзистора. Транзистор при цьому працює в режимі насичення, коли в ньому обидва переходи зміщені в прямому напрямку, і його опір і напруга між колектором і емітером практично дорівнюють нулю. Тоді вихідна напруга (вимірюється, як і вхідний, відносно загального проводу) дорівнює нулю (рівень логічного нуля).

Якщо, навпаки, на вході підсилювача присутня напруга низького рівня (логічний нуль), то нульовий базовий струм закрий обидва рп-переходи транзистора (режим відсічення). Це призведе до високого опору і напруги між колектором і емітером транзистора. Тоді, згідно із законом Кирхгофа, вихідна напруга буде практично дорівнює напрузі джерела живлення, ( рівнем логічної одиниці).

Таким чином, транзисторний підсилювальний каскад із загальним емітером може виконувати функцію ЛОГІЧНОГО ЗАПЕРЕЧЕННЯ. Електрична схема, яка реалізує цю функцію, називається інвертором, Або елементом НЕ.

Логічні елементи різних видів мікросхем (ТТЛ, ЕСЛ, КМОП та ін.) можуть відрізнятися в функціональному відношенні. Базовим вважають елемент з найбільш простою структурою, на основі якого найлегше створювати інші логічні електронні схеми. Для мікросхем ТТЛ таким логічним елементом є логічна схема І-НЕ.

Базові елементи різних видів мікросхем (ТТЛ, ЕСЛ, КМОП і ін.) можуть відрізнятися в функціональному відношенні. Базовим логічним елементом вважають елемент з найбільш простою структурою, на основі якого найлегше створювати інші електронні схеми. Для мікросхеми ТТЛ таким логічним елементом є логічна схема І-НЕ.

### **1.3.2. Перші логічні елементи ТТЛ**

У цифровій електроніці прості логічні операції здійснюються за допомогою мікроелектронних схем, функціонуючих аналогічно логічним елементам. Спочатку

мікросхеми містили всього один базовий логічний елемент, зразкова схема якого показана на рис. 25, а.

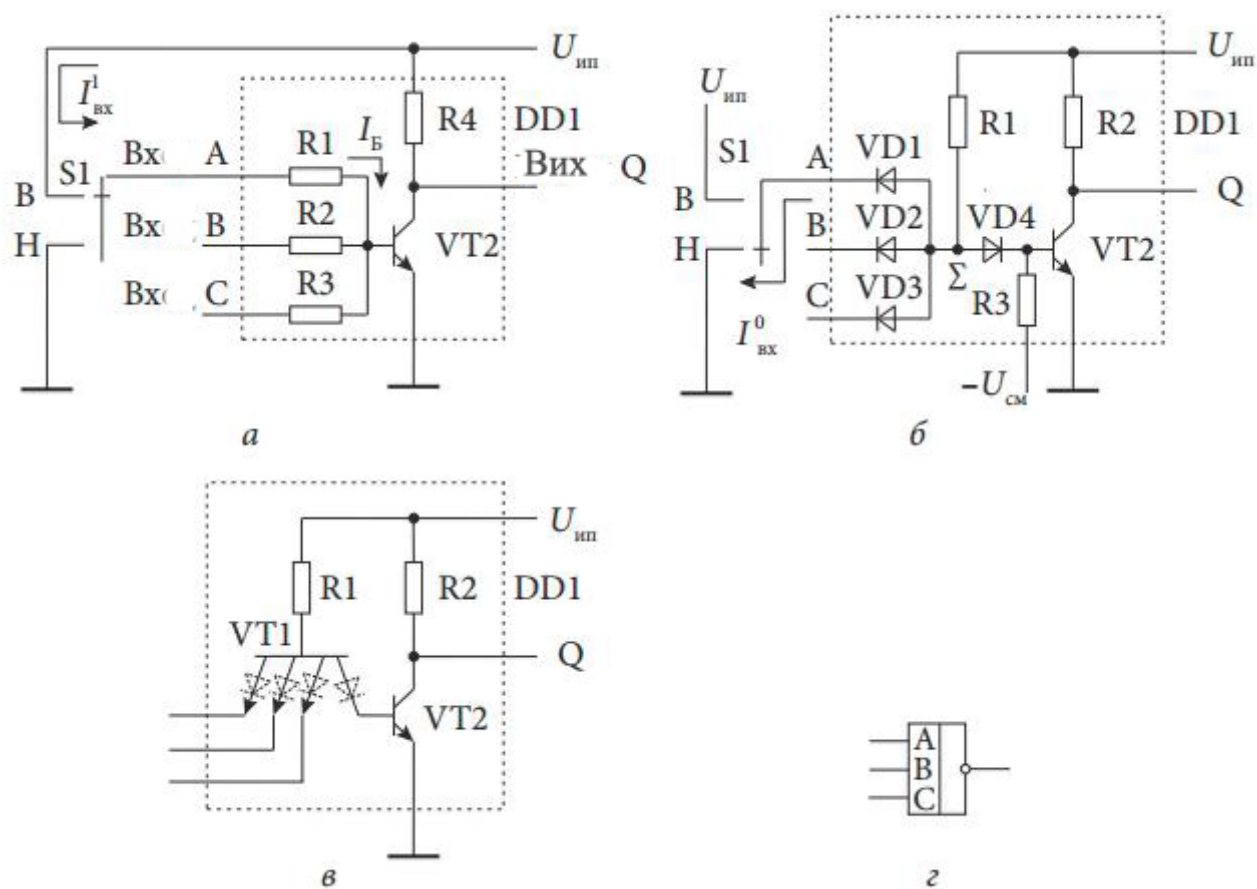


Рис. 25. Перші логічні елементи: а - елемент РТЛ; б - елемент ДТЛ; в - елемент ТТЛ; г - функціональне позначення

У міру подальшого розвитку технологій, на кристалі напівпровідникової мікросхеми стали розміщувати різноманітні набори елементів, а пізніше почали об'єднувати їх в структури, які виконують більш складні логічні функції. При цьому принципова електрична схема базових логічних елементів не змінювалася.

З плином часу швидкісні параметри мікросхем виявлялись досить незадовільними і доводилося збільшувати величину швидкодії, економічність і підвищувати поміхо-стійкість мікросхем за рахунок модернізації принципової схеми базових логічних елементів. Протягом 20-25 років послідовно змінилися більше десяти таких схем.

Для того щоб відрізнити їх один від одного, їм присвоювали умовні буквені позначення. У них, за традицією, є буква Л (від слова логіка). Словом логіка раніше

умовно називали електронний ключ, керований імпульсами. Розглянемо принципову можливість побудови електронних схем, які здійснюють різні логічні операції, на прикладі розвитку елементів від резисторно-транзисторної логіки (РТЛ) до діод-транзисторної логіки (ДТЛ) і далі до транзи-сторно-транзисторної логіки (ТТЛ).

Електрична схема елемента РТЛ (рис. 25, а) відображає наявність в схемі пасивних компонентів - резисторів  $R_1$ ,  $R_2$ ,  $R_3$  і активного компонента - перемикача транзистора  $VT_1$ .

У 1960-і рр. мікросхеми РТЛ досить великими партіями випускалися в гібридному виконанні, з незалежними елементами. На рис. 25, а схема логічного елемента (позначеного як DD1) обведена штрих пунктирною лінією.

Підключимо на вхід А елемента DD1 (рис. 25, а) електромеханічний перемикач S1. Рухомий контакт перемикача може займати два крайніх положення - В і Н. В верхньому положенні В на вхід А надходить напруга високого логічного рівня  $U_1 = U_{ip}$ , а в нижньому положенні Н - низького  $U_0 = 0$ .

На рис. 25, а на вхід А подано сигнал логічної одиниці високого рівня. Зараз від позитивного висновку джерела живлення  $U_{ip}$  через резистор  $R_1$  в базу транзистора  $VT_1$  втікає досить більший базовий струм ІБ, що відкриває транзистор. Такий базовий струм транзистора  $VT_1$  є тут вхідним струмом високого рівня ІІ. Опір відкритого транзистора приблизно дорівнює нулю, що призводить до вихідній напрузі ЛЕ низького рівня - сигналу логічного нуля. Видно, що цей елемент РТЛ виконує за допомогою одного з входів А, В, С функцію логічного заперечення, (інвертор). При використанні всіх трьох входів цей ЛЕ елемент є елементом АБО-НЕ.

Необхідно відзначити, що елемент РТЛ включається вхідною напругою високого рівня. Вхідна напруга, що включає ЛЕ, можна назвати активним логічним сигналом елемента. Таким чином, у елемента РТЛ активний логічний сигнал високого рівня.

Якщо в схемі (рис. 25, а) перемикач S1 встановити в положення Н, база транзистора буде мати нульовий потенціал, і транзистор  $VT_1$  відкриваючого струму отримувати не буде і тому закритється. Транзистор перейде в стан з високим опором і на виході Q логічного елемента встановиться напруга високого рівня (рівень логічної одиниці). Через вхід А логічного елемента DD1 буде стікати на землю дуже

Рисенький вхідний струм. Так як цей струм тече при вхідній напрузі низького рівня (нульового логічного рівня), то його позначають як  $I_0$ . Цей струм є зворотним струмом неосновних носіїв переходу колектор - база ІКБО, таким чином некерованим струмом витоку переходу колектор - база транзистора  $VT_1$ .

В епоху лампових ЕОМ дуже широко використовувалися ЛЕ з вхідними діодами. При використанні з транзисторами вона отримала назву ДТЛ - діод-транзисторна логіка. Електрична схема цього елемента показана на рис. 25, б. Вхідні резистори  $R_1, R_2, R_3$ , що знижують час включення його РТЛ, замінені діодами  $VD_1-VD_3$ . Використовується додаткове зовнішня негативна напруга зсуву -  $U_{см}$ , рівне 1-2 В. Діод  $VD_4$  відокремлює вхідну матрицю  $VD_1-VD_3$ .

Логічний елемент ДТЛ має активний логічний сигнал низького рівня, тобто включається низьким рівнем напруги. Елемент ДТЛ  $DD_1$  (рис. 25, б) включається заземленням до входу А через перемикач  $S_1$ . При цьому діод  $VD_1$  відкривається, потенціал в точці  $\Sigma$  схеми знизиться до 0,7 В (це падіння напруги на відкритому кремнієвому діоді). Негативна напруга ( $0,7 - U_{см}$ ) в закритіє перехід база - емітер транзистора і переведе транзистор  $VT_1$  в закритий стан з високим опором (режим відсічення).

На виході Q встановиться напруга високого рівня  $U_{вх}^0 \sim U_{ип}$ .

Від входу елемента ДТЛ в цей час стікає на землю вхідний струм низького рівня  $I_{вх}^0$ :

$$I_{вх}^0 = \frac{U_{ип} - 0,7 \text{ В}}{R_1}.$$

Якщо на вхід А через перемикач  $S_1$  подати напругу високого рівня  $U_{вх}^1$ , то це призведе до закриття діода і тому вхідний струм  $I_{вх}^1$  високого рівня буде дуже незначним.

При цьому позитивна напруга в точці  $\Sigma$  схеми істотно перевищить негативну напругу зсуву і через діод  $VD_4$  в базу транзистора буде втікати великий відкриваючий струм  $I_B$  (враховуючи, що  $U_{ип}$  по модулю істотно перевищує  $U_{см}$ ). Відкриваючийся транзистор  $VT_1$  буде мати опір, близький до нуля (режим насичення) і на виході Q з'явиться напруга

низького рівня  $U_0 < 0,3 \text{ В}$ .

Необхідно відзначити, що в схемі ДТЛ база переключаючого транзистора  $VT_1$  гальванічно не пов'язана з джерелом сигналу - перемикачем  $S1$ . Отже, на транзистор не потрапляють помилкові сигнали (перешкоди) від джерела.

Описана поведінка елемента ДТЛ по кожному з входів А, В, С характеризує його як інвертор. При використанні всіх трьох входів він буде виконувати логічну операцію елемента І-НЕ. Підкреслимо, що в елементі ДТЛ вхідним запускаючим струмом є струм низького рівня, отже, для такої схеми вхідним активним логічним сигналом є напруга низького логічного рівня  $U_0$ . Переклад схеми на низький запускаючий рівень необхідний для роботи з джерелами кодових, цифрових сигналів (від кнопок, перемикачів, контактів реле). Замикання їх контактів на землю (провід з нульовим потенціалом) призводить до меншого числа повторюваних імпульсів запуску через так званого брязкоту контактів. Брязкіт контактів при їх замиканні на високий потенціал створює більш високі амплітуди повторюваних імпульсів, які призводять до помилкових спрацьовувань ЛЕ.

Однак, незважаючи на більш високі характеристики напів-провідникових мікросхем ДТЛ, досить швидко виявили, що для поліпшення електричних параметрів вигідніше замінити діоди  $VD_1$ - $VD_4$  (рис. 25, б) багатоміттерного транзистору ( $VT_1$  на рис. 24, в). Інтегральні напівпровідникові мікро-схеми з багатоміттерним транзистором на вході стали називати транзисторно-транзисторною логікою (ТТЛ).

## 2. ТРИГЕРИ

Тригери є імпульсними пристроями і призначені для запам'ятовування одного біта двійковій інформації.

Тригери являють собою великий клас електронних пристроїв, які можуть тривалий час перебувати в одному з двох стійких станів і змінювати їх під впливом зовнішніх сигналів.

За функціональною ознакою (способом перемикання тригера сигналом управління) розрізняють Т-тригери, JK-тригери, RS-тригери, D-тригери та ін.

За способом запису інформації тригери поділяються на синхронні і асинхронні. В асинхронних тригерах зміна стану відбувається відразу з надходженням сигналу управління на інформаційний Вхід. Асинхронні тригери бувають:



- а) з внутрішньою затримкою перемикавання;
- б) керовані статичним рівнем вхідного імпульсу.

Синхронний тригер перемикається тільки в момент появи тактового імпульсу - сигналу на спеціальному вході синхронізації. Синхронні тригери бувають:

- а) з внутрішньою затримкою вихідного сигналу;
- б) керовані рівнем тактового імпульсу.

Тригери дозволяють реалізовувати пристрої пам'яті, а також широко використовуються для побудови цифрових пристроїв, таких як лічильники, послідовні порти, перетворювачі «послідовного коду в паралельний», цифрові фільтри, що застосовуються в лініях затримки.

Нагадаємо, що найпростіший тригер має два входи і два виходи. Виходи прийнято позначати латинськими літерами  $Q$  і  $\bar{Q}$ . Вихід  $Q$  називають прямим, а  $\bar{Q}$  - інверсним. Рівні напруги на обох виходах взаємно інверсні: якщо сигнал  $Q = 1$ , то  $\bar{Q} = 0$ , або якщо  $\bar{Q} = 0$ , то  $Q = 1$ . Стан тригера, при якому  $Q = 1$ , а  $\bar{Q} = 0$ , називають одиничним. У нульовому стані  $Q = 0$  і  $\bar{Q} = 1$ . При надходженні сигналів управління на входи тригера або відбувається перемикавання, або зберігається початковий стан.

Результат залежить від попереднього стану тригера. Залежно від функціонального зв'язку між сигналами на входах і виходах тригери в інтегральному виконанні мають наступні найменування: RS, RS, D, T, JK та ін. Тими ж буквами позначають і входи тригерів.

Найпростіша схема, що дозволяє запам'ятовувати двійкову інформацію, може бути побудована на двох послідовно включених інверторах. Загально прийнято контур з двох інверторів зображати у вигляді так званої «засувки», логічна схема якої приведена на рис. 58.

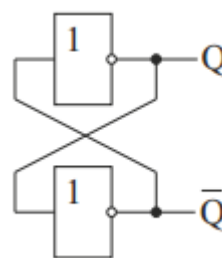


Рис. 58 Схема тригера засувки побудована на двох інверторах

Таке зображення контуру з двох інверторів показує наявність позитивного зворотного зв'язку між ними. Дійсно, якщо логічна одиниця знаходиться на виході Q, то на інверсному виході Q тригера буде логічний нуль, який після інвертування призводить (підтверджує) до рівня логічної одиниці на виході Q. І навпаки, якщо на виході тригера Q присутній нуль, то на інверсному виході Q буде рівень логічної одиниці.

Якщо не вимикати живлення електричної схеми засувки, то встановилося висновках засувки одне з двох станів буде зберігатися незмінним. Так як схема засувки симетрична, включаючи і вимикаючи напруга живлення схеми, можна на виходах отримати одне з двох рівноймовірно станів: 1, 0 або 0, 1.

Однозначну запис одного біта інформації можна отримати, створивши входи записи нуля і записи одиниці.

## 2.1 D-тригер

До D-тригерів відносяться послідовних бістабільні пристрої з одним інформаційним входом D і входом синхронізації C, які в моменти дії дозволяє встановлюються в стан, відповідний логічному рівню сигналу на вході D. Таким чином, тригери типу D реалізують затримку сигналу за допомогою тактування, приймаючи сигнал тільки з дозволу тактового сигналу C.

Принципово здійсненні і асинхронні D-тригери, які, однак, не становлять практичного інтересу.

## 2.3 T-тригер

T-тригери - послідовних бістабільні пристрої з одним керуючим входом T, які кожним вхідним сигналом перемикаються в протилежне стан. Робота T-тригера в статичному режимі описується рівнянням

З рівняння 3.9. випливає, що T-тригер реалізує операцію складання по модулю керовані рівнем синхросигналу, зазвичай не реалізуються, тому що в цьому випадку при утриманні дозволяє рівня сигналу на T - вході тригер буде багаторазово

перемикатися в протилежний стан, тобто перебуває з режимі генерації. На рис 3.17. показаний принцип побудови T- тригера на основі RS- і D-тригерів. Для виключення режиму генерації схеми цих тригерів повинні мати динамічний синхровхід.

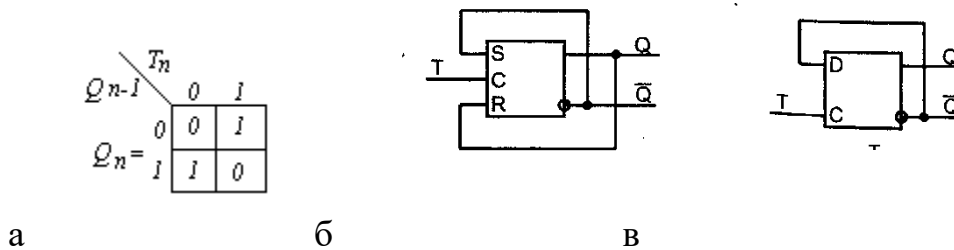


Рис. 3.17. T- тригер: а) карта Карно; б) схема побудови на основі RS-тригера; в) схема побудови на основі D-тригера

## 2.4 Універсальний JK-тригер

JK-тригери - це послідовних бістабільні пристрої з двома інформаційними входами J та K, які в разі вхідний комбінації  $J = K = 1$  перемикають тригер в протилежний стан подібно T-тригеру, а при будь-яких інших комбінаціях функціонують як RS-тригер, яка має роль входів S и R виконують відповідно входи J і K: JS, KR. З тих же причин, що і T-тригер JK-тригер зазвичай будується за двоступеневою схемою, і часто має входи початковій SR - установки. JK - тригера називається універсальним тому, що на його основі можна побудувати тригери інших типів.

## 3. Регістри.

### Класифікація

Регістри - найпоширеніші вузли цифрових пристроїв. Вони оперують з багаторозрядних змінними, які також називають словами. Над словами виконується ряд операцій: прийом, видача, зберігання, зрушення в розрядної сітці, порозрядні логічні операції.

Регістри будуються з розрядних схем, які складаються з тригерів і, найчастіше, додаткових логічних елементів.

Головним класифікаційними ознакою регістрів є спосіб прийому і видачі даних. За цією ознакою розрізняють паралельні (статичні) регістри, послідовні (зсувні) і паралельно-послідовні.

У паралельних регістрах прийом і видача слів виробляються в усіх розрядах одночасно. У них зберігаються слова, які можуть бути піддані порозрядним логічним перетворенням.

У послідовних регістрах слова приймаються і видаються розряд за розрядом. Їх називають зсувними. Тактуючі сигнали при введенні і виведенні слів переміщують їх на один розряд в розрядній сітці. Зсувний регістр може здійснювати зрушення, записаного слова вліво, вправо або бути реверсивним (з можливістю зсуву в обох напрямках).

Послідовно-паралельні регістри мають входи-виходи одночасно послідовного і паралельного типу. Є варіанти з послідовним входом і паралельним виходом (SIPO, Serial Input - Parallel Output), паралельним входом і послідовним виходом (PISO), а також варіанти з можливістю будь-якого поєднання способів прийому і видачі слів.

### 3.1. Паралельні регістри

У паралельних (статичних) регістрах схеми розрядів не обмінюються даними між собою. Спільними для всіх розрядів зазвичай є ланцюги синхронізації, скидання / установки, дозволу виходу або прийому. Приклад схеми статичного регістра, побудованого на тригерах типу D з прямим динамічним управлінням C, інверсним входом скидання R і виходами з третім станом, які управляються сигналом EZ, показаний на рис. 3.22.

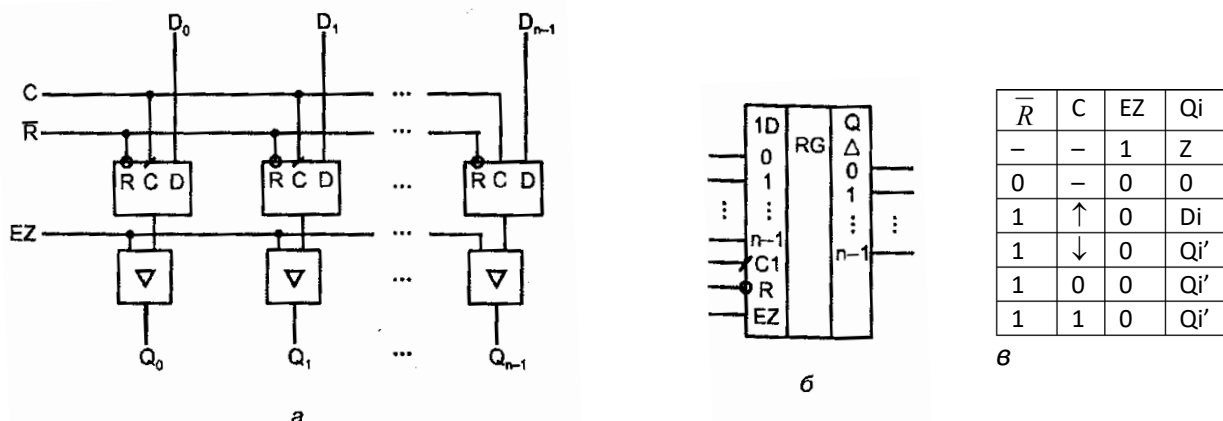


Рис. 3.22. Приклад паралельного регістра а) схема регістра з трьохстабільним виходом; б) умовне графічне позначення; в) таблиця істинності

Для сучасної схемотехніки характерно побудова регістрів саме на D-тригерах, переважно з динамічним управлінням. Багато хто має виходи з третім станом, деякі регістри відносяться до числа буферних. Розраховані на роботу з великими ємнісними і / або низькоомними активними навантаженнями. Це забезпечує їх роботу безпосередньо на магістраль (без додаткових схем інтерфейсу).

### 3.2. Регістри що здвигаются

Послідовні (зсувні) регістри представляють собою ланцюжок розрядних схем, пов'язаних ланцюгами переносу.

У регістрах із зсувом на один розряд вправо (рис. 3.23, а) слово зсувається при надходженні переднього фронту синхросигналу С. Вхід (DSR - Data Serial Right) і вихід регістра послідовні. На тимчасовій діаграмі роботи регістра всі тригери в початковий момент часу встановлюються в «0» сигналом  $R = 1$ , потім сигнал  $R$  перемикається в «0» і не впливає на подальшу роботу схеми. Тепер з кожним переднім фронтом синхросигналу С сигнал зі входу DSR буде записуватися в тригер першого розряду ( $Q1 = DSR$ ), старий сигнал з виходу першого розряду  $Q1$  - у другий розряд ( $Q2 = Q1$ ), старий сигнал з виходу другого розряду - в третій розряд ( $Q3 = Q2$ ), а з виходу третього - в вихідний розряд (Вих =  $Q3$ ). Таким чином, після закінчення 4-х тактів синхросигналу С вихідний сигнал регістра стане дорівнює вхідному (Вих = DSR). Оскільки в нашому прикладі сигнал на вході DSR весь час залишався постійним («1»), то на діаграмі роботи регістра можна спостерігати порозрядне витіснення початкових нульових значень сигналів одиничними вхідними. На рис. 3.23, б показана схема регістра із зсувом вліво (вхід даних DSL - Data Serial Left). На тимчасовій діаграмі тригери всіх розрядів встановлюються в початковий стан «1» сигналом  $S = 1$ , а потім вхідний сигнал DSL послідовно протягом 4-х тактів синхросигналу С зсувається від виходу четвертого розряду  $Q4$  до виходу регістра.

На рис. 3.23, в показаний принцип побудови реверсивного регістра, в якому є зв'язки тригерів з обома сусідніми розрядами, але керуючим сигналом  $P$

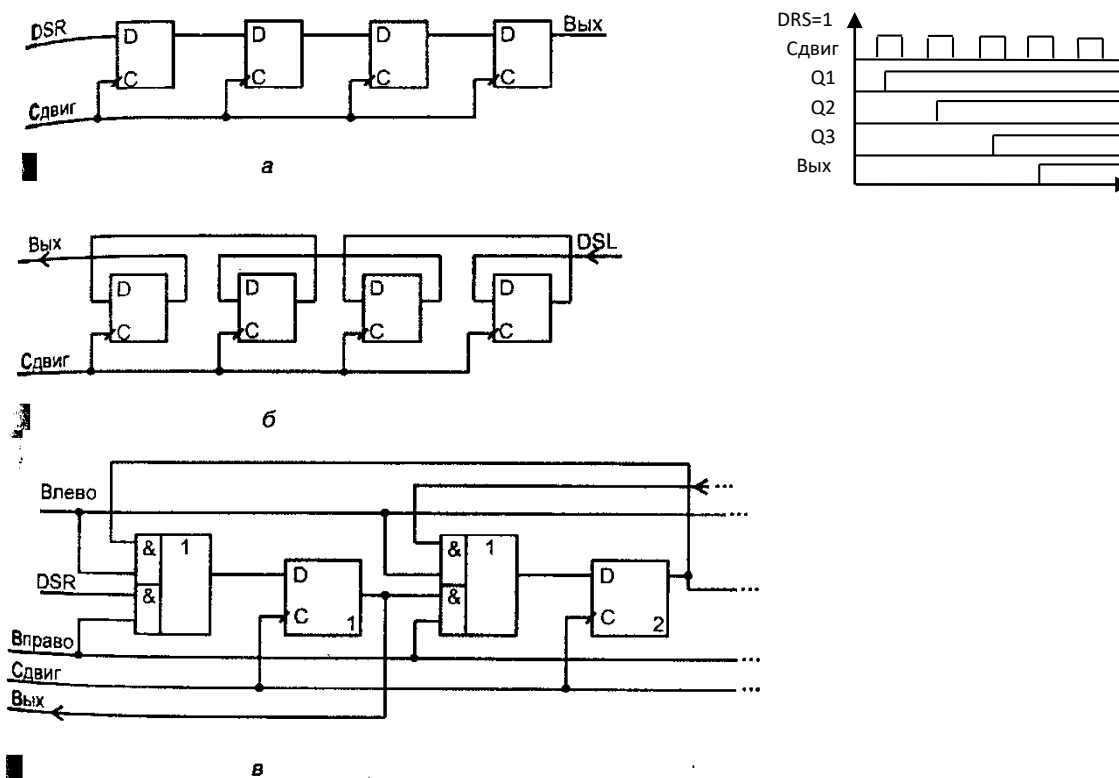
дозволяється робота тільки одних з цих зв'язків (команди "вліво" і "вправо" одночасно подані бути не можуть). На вході кожного тригера реалізується функція 3.13:

$$D_i = PQ_{i+1} + Q_{i-1} \quad (3.13)$$

Таким чином, при  $P = 1 - D = Q_{i+1}$ , Що відповідає зрушенню вліво, а при  $P = 0 - D = Q_{i-1}$ , Що відповідає зрушенню вправо.

З розглянутих принципів роботи зсувних регістрів видно, що застосування в розрядних схемах одноступінчатих тригерів, керовані рівнем синхросигналу, може привести до того, що деякі тригери за час дії дозволяє рівня переключаться неодноразово, що неприпустимо. Тому зазвичай

Рис.3. 23. Послідовні регістри: а)регістр із зсувом вправо і тимчасові діаграми



його роботи;б) регістр із зсувом вліво; в) реверсивний регістр

використовуються тригери з динамічним управлінням.

### 3.3. універсальні регістри

У серіях IC і бібліотеках БІС / НВІС програмованої логіки є багато варіантів регістрів. Серед них часто зустрічаються багатofункціональні або універсальні регістри, здатні виконувати набір мікрооперацій. Багатofункціональність досягається композицією в одній і тій же схемі частин, необхідних для виконання

різних операцій. Керуючі сигнали, що задають вид виконуваної в даний час операції, активізують необхідні для цього частини схеми.

Типовим представником універсальних регістрів є схема IP13. Це восьмизарядний реверсивний регістр, який має також паралельні входи і виходи, вхід асинхронного скидання R і входи вибору режиму S0 і S1, що задають чотири режими (паралельна завантаження, два зсуви і зберігання). Таблиця істинності регістра визначається табл. 3.3. Умовне позначення регістра IP13 наведено на рис. 3.24.

Таблиця 3.3. Таблиця істинності регістра

| режим                   | входи |   |    |    |         |         |    | виходи |    |      |    |     |
|-------------------------|-------|---|----|----|---------|---------|----|--------|----|------|----|-----|
|                         | C     |   | SO | S1 | DS<br>R | DS<br>L | Dn | Q0     | Q1 | .... | Q6 | Q7  |
| Скидання                | X     |   | X  | X  | X       | X       | X  | 0      | 0  | .... | 0  | 0   |
| зберігання              | X     | 1 | 0  | 0  | X       | X       | X  | Q0     | Q1 | .... | Q6 | Q7  |
| зрушення вліво          | X     | 1 | 1  | 0  | X       | 0/1     | X  | Q1     | Q2 | .... | Q6 | DSR |
| зрушення вправо         | X     | 1 | 0  | 1  | 0/1     | X       | X  | DSR    | Q0 | .... | Q5 | Q6  |
| паралельне завантаження | X     | 1 | 1  | 1  | X       | X       | Dn | D0     | D1 | .... | D6 | D7  |

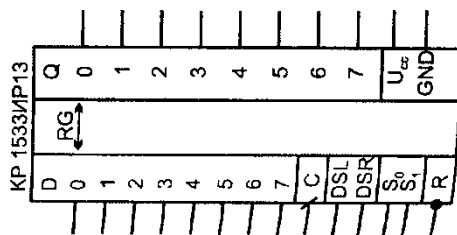


Рис. 3.24. Умовне позначення універсального регістру

Регістри, які мають паралельний (послідовний) вхід і послідовний (паралельний) вихід, служать основними блоками перетворювачів паралельних кодів в послідовні і назад.

### **3.4. Лічильники**

Поняття "лічильник" є дуже широким. До лічильників відносять автомати, які під дією вхідних імпульсів переходять з одного стану в інший, фіксуючи тим самим число надійшли на їх вхід імпульсів в тому чи іншому коді.

Специфічною для лічильників операцією є зміна їх вмісту на одиницю (може бути і умовну). Додаток такої одиниці відповідає операції інкрементація, віднімання - операції декрементації. Зазвичай лічильниками виконуються також і інші операції - скидання, установка, паралельна завантаження та ін.

Лічильник характеризується модулем рахунку  $M$  (ємністю). Модуль визначає число можливих станів лічильника. Після надходження на лічильник  $M$  вхідних сигналів починається новий цикл, що повторює попередній.

#### **Класифікація лічильників**

За способом кодування внутрішніх станів розрізняють двійкові лічильники, лічильники Джонсона, лічильники з кодом "1 з  $N$ " та ін.

У напрямку рахунку лічильники діляться на підсумовують (прямого рахунку), віднімають (зворотного рахунку) і реверсивні (зі зміною напрямку рахунку).

За належністю до того чи іншого класу автоматів говорять про синхронні або асинхронні лічильники (більш детальну класифікацію за цією ознакою не зачіпаємо, враховуючи реальний склад мікросхем лічильників).

Лічильники будуються з розрядних схем, що мають міжрозрядні зв'язки. Відповідно організації цих зв'язків розрізняють лічильники з послідовним, паралельним і комбінованими переносами.

Можливі режими роботи лічильника:

- реєстрація числа яке надійшло на лічильник сигналів;
- розподіл частоти.

У першому режимі результат - вміст лічильника, в другому режимі вихідними сигналами є імпульси переповнення лічильника.



*швидкодія лічильника* характеризується часом встановлення в ньому нового стану (перший режим), а частотою вхідних сигналів  $f_{\max}$ .

Як і будь-який автомат, лічильник можна будувати на тригерах будь-якого типу, проте найзручніше використовувати для цього тригери типу Т (рахункові) і ЖК, що мають при  $J = K = 1$  рахунковий режим.

Двійковим лічильником назвемо лічильник, який має модуль  $M = 2n$ , де  $n$  - ціле число, та природну послідовність кодів станів (його стану відображаються послідовністю двійкових чисел, десятковими еквівалентами яких будуть числа 0, 1, 2, 3, ...,  $M-1$ ).

#### *Двійкові лічильники*

Схему довічного лічильника можна отримати за допомогою формального синтезу, однак більш наочним шляхом представляється евристичний. Таблиця істинності довічного лічильника - послідовність двійкових чисел від нуля до  $M-1$ . Спостереження за розрядами чисел, що становлять таблицю, призводить до розуміння структурної схеми довічного лічильника. Стану молодшого розряду при його перегляді по відповідному стовпчику таблиці показують чергування нулів і одиниць виду 01010101 ..., що природно, т. я. молодший розряд приймає вхідний сигнал і переключається від кожного вхідного впливу. У наступному розряді спостерігається послідовність пар нулів і одиниць виду 001100 11 ... У третьому розряді утворюється послідовність з четвірок нулів і одиниць 00001 111 ... і т.д. З цього спостереження видно, що наступний за старшинством розряд перемикається.

Відомо, що рахунковий тригер ділить частоту вхідних імпульсів на два. Зіставивши цей факт з вказаною вище закономірністю, бачимо, що лічильник може бути побудований у вигляді ланцюжка послідовно включених рахункових тригерів

З відмінності варіантів прямого і зворотного рахунку слід також врахувати і спосіб побудови реверсивного лічильника (рис. 3.43, в) шляхом перенесення точки знімання сигналу з тригера на протилежний вихід під дією керуючого сигналу і з допомогою елемента І-АБО-НЕ.

### Список використаних джерел

1. Белов А.В. Программирование ARDUINO. Создаем практические устройства. — СПб: Наука и Техника, 2018.
2. Белов А.В. Микроконтроллеры AVR от азов программирования до создания практических устройств, изд. 2-е, перераб. и доп. — СПб: Наука и Техника, 2017.3. Белов А.В. Программирование микроконтроллеров для начинающих и не только. — СПб: Наука и Техника, 2016.
4. Белов А.В. Конструирование устройств на микроконтроллерах. — СПб: Наука и Техника, 2005.